



## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030077852 A  
(43)Date of publication of application: 04.10.2003

(21)Application number: 1020020016804  
(22)Date of filing: 27.03.2002

(71)Applicant: SAMSUNG SDI CO., LTD.  
(72)Inventor: LEE, BYEONG GON  
CHO, SEONG HO

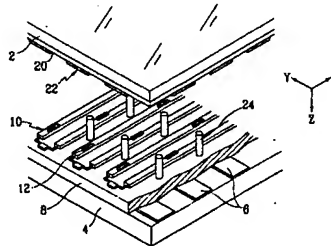
(51)Int. Cl. H01J 1/30

## (54) FIELD EMISSION DISPLAY

## (57) Abstract:

PURPOSE: A field emission display is provided to achieve improved color purity of display and luminance of screen by increasing the effective filling ratio of electron beam with respect to the phosphor screen.

CONSTITUTION: A front substrate(2) and a rear substrate(4) are opposed to each other. A plurality of gate electrodes(6) are arranged into a line pattern along a first direction on the rear substrate opposed to the front substrate. An insulating layer(8) is formed on the rear substrate in such a manner that the insulating layer covers the gate electrodes. A plurality of cathode electrodes(10) are arranged on the insulating layer into a line pattern along a second direction perpendicular to the first direction. An emitter(12) serves as a plane electron source disposed on the edge of the cathode electrode with respect to the pixel area where the gate electrode and the cathode electrode cross with each other. An anode electrode(20) is arranged on the front substrate opposed to the rear substrate. A phosphor screen(22) is formed on the surface of the anode electrode.



COPYRIGHT KIPO 2004

Legal Status

**THIS PAGE BLANK (USPTO)**

# (19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01J 1/30

(11) 공개번호 특2003-0077852  
(43) 공개일자 2003년10월04일

(21) 출원번호 10-2002-0016804  
(22) 출원일자 2002년03월27일

(71) 출원인 삼성에스디아이 주식회사  
경기 수원시 팔달구 신동 575번지

(72) 발명자 이병곤  
경기도수원시팔달구영통동황골마을한국아파트211동602호  
조성호  
경기도성남시분당구미금동까치마을롯데선경아파트414동603호

(74) 대리인 유미특허법인

심사청구 : 없음

## (54) 전계 방출 표시소자

### 요약

면 전자원의 배열 변화를 통해 각자의 면 전자원에서 방출된 전자들이 이웃한 다른 화소의 형광막에 도달하지 않도록 하여 화면의 색순도를 향상시키는 전계 방출 표시소자를 제공한다. 본 발명에 의한 전계 방출 표시소자는 후면 기관 위에 제1 방향을 따라 라인 패턴으로 형성되는 게이트 전극과; 게이트 전극들을 덮는 절연층과; 절연층 위에 제1 방향과 수직한 제2 방향을 따라 라인 패턴으로 형성되는 캐소드 전극과; 게이트 전극과 캐소드 전극이 교차하는 각자의 화소 영역에 대하여 캐소드 전극의 가장자리에 위치하는 면 전자원을 포함하며, 상기 면 전자원이 제1, 2 방향 중 어느 한 방향을 따라 이웃하게 배치되는 다른 화소의 면 전자원에 대하여 제1, 2 방향 중 다른 한 방향을 따라 소정의 간격을 갖도록 배열된다.

### 대표도

### 도 1

### 색인어

전계방출, 캐소드, 게이트, 애노드, 언더게이트, 면전자원, 에미터, 형광막

### 명세서

### 도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 의한 전계 방출 표시소자의 분해 사시도.

도 2는 도 1에 도시한 전계 방출 표시소자 중 후면 기관의 부분 평면도.

도 3a와 도 3b는 각각 도 2의 I-I선 단면도 및 II-II선 단면도.

도 4는 본 발명의 제2 실시예에 의한 전계 방출 표시소자 중 후면 기관의 부분 평면도.

도 5는 도 4의 III-III선 단면도.

도 6과 도 7은 각각 본 발명의 제3, 4 실시예에 의한 전계 방출 표시소자 중 후면 기관의 부분 평면도.

도 8은 본 발명의 제1, 2 실시예 구성에 적용 가능한 형광막 패턴을 설명하기 위한 개략도.

도 9a와 도 9b는 각각 본 발명의 제1, 2 실시예 구성에 적용 가능한 스페이서 형상을 설명하기 위한 개략도.

도 10은 본 발명의 제3, 4 실시예 구성에 적용 가능한 형광막 패턴을 설명하기 위한 개략도.

도 11a와 도 11b는 각각 본 발명의 제3, 4 실시예 구성에 적용 가능한 스페이서 형상을 설명하기 위한 개략도.

도 12와 도 13은 각각 본 발명의 제5, 6 실시예에 의한 전계 방출 표시소자 중 후면 기관의 부분 평면도.

도 14는 도 13의 IV-IV선 단면도.

도 15와 도 16은 각각 본 발명의 제7, 8 실시예에 의한 전계 방출 표시소자 중 후면 기관의 부분 평면도.

도 17과 도 18은 각각 종래 기술에 의한 전계 방출 표시소자의 분해 사시도 및 결합 상태에서의 단면도.

도 19은 종래 기술에 의한 전계 방출 표시소자에서 형광막의 발광 패턴을 나타낸 전자 현미경 사진.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계 방출 표시소자에 관한 것으로서, 보다 상세하게는 저 일함수 탄소계 물질로 이루어지는 면 전자원과, 후면 기관 상에서 캐소드 전극과 면 전자원 밑에 배열되는 게이트 전극을 구비한 전계 방출 표시소자에 관한 것이다.

일반적으로 전계 방출 표시소자는 냉음극을 전자 방출원으로 사용하여 이미지를 구현하는 평판 표시장치로서, 최근에는 저전압(대략 10~15V) 조건에서 전자를 방출하는 저 일함수 탄소계 물질을 이용하여 스크린 인쇄와 같은 후막 공정을 통해 면 전자원을 형성하는 기술이 연구되고 있다.

상기 전계 방출 표시소자가 캐소드, 애노드 및 게이트 전극을 구비하는 3극 관 구조로 이루어질 때, 통상의 전계 방출 표시소자는 후면 기관 위에 캐소드 전극과 에미터를 형성하고, 절연층을 사이로 캐소드 전극과 에미터 위에 게이트 전극을 형성하며, 전면 기관의 내면에 애노드 전극과 형광막을 배치한 구조로 이루어진다.

그러나 전술한 3극관 구조에서 후막 공정을 통해 면 전자원을 형성하는 것은 기술적으로 매우 어려운 점이 있다. 이는 에미터를 형성하기 위해 게이트 전극과 절연층에 홀을 형성하고, 홀 내부에 탄소계 물질을 스크린 인쇄할 때, 탄소계 물질이 캐소드 전극과 게이트 전극에 걸쳐 형성되어 두 전극간 쇼트를 유발하기 때문이다.

따라서 도 17과 도 18에 도시한 바와 같이, 절연층(1)을 사이로 캐소드 전극(3)과 에미터(5) 밑에 게이트 전극(7)을 배열한 이른바 언더게이트 구조가 제안되었으며, 국내 공개특허 공개번호 2001-58675호가 언더 게이트 구조를 갖는 전계 방출 표시소자를 개시하고 있다.

상기 언더게이트 방식은 게이트 전극(7)과 캐소드 전극(3)간 전압 차에 의해 에미터(5) 주변에 전계를 형성하여 에미터(5)로부터 전자(점선 화살표로 도시)를 방출하고, 방출된 전자가 애노드 전극(9)에 인가된 고전압(대략 1~5kV)에 의해 전면 기관(11)으로 가속되어 형광막(13)을 여기시키는 과정으로 소정의 이미지를 구현하게 된다.

이러한 언더게이트 방식은 면 전자원, 즉 에미터(5)의 제작이 용이하고, 게이트 전극(7)과 캐소드 전극(3)간 단락 발생이 전혀 없는 큰 장점을 갖는다.

그러나 언더게이트 구조는 에미터(5)에서 방출된 전자들을 집속시키는 기능이 미약하기 때문에, 에미터(5)에서 방출된 전자들이 표시소자 내부를 이동하는 과정에서 전면 기판(11)을 향해 발산하여, 해당 화소의 형광막 뿐만 아니라 이웃한 타색의 형광막에 도달하여 혼색이 일어나는 등, 화면의 색순도를 저하시키는 문제를 유발한다.

상기 전자빔 궤적을 보다 구체적으로 살펴보면, 전계 방출 표시소자를 단면에서 보았을 때(도 18 참고), 에미터(5)와 형광막(13) 사이의 거리가 멀어질수록 전자빔의 집속도가 낮아진다. 즉, 도면에서 ②, ③번 전자빔이 ①번 전자빔과 비교하여 집속도가 떨어져 도면의 Y축 방향으로 발산하게 된다.

더욱이 Y축 방향으로 발산된 ②, ③번 전자빔은 다시 도면의 X축 방향으로 발산하여(도 17 참고), 결과적으로 전면 기판(11)에 도달하는 전자빔은 대략 삼각형 모양을 띠게 된다.

도 19는 종래 기술에 의한 전계 방출 표시소자에서 전자빔 방출에 의한 실제 형광막의 발광 패턴을 나타낸 광학 현미경 사진으로서, 전면 기판에 도달하는 전자빔 궤적에 따라, 이들 전자빔이 대략 삼각형 패턴으로 형광막을 발광시키고 있음을 확인할 수 있다.

그 결과, 종래 기술에 의한 전계 방출 표시소자는 상기 전자빔이 X, Y축 방향으로 모두 발산하는 것에 의해, 인접한 타색의 형광막을 동시에 발광시켜 표시소자의 색순도를 저하시키는 결과를 초래한다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기한 문제점을 해소하기 위한 것으로서, 본 발명의 목적은 에미터의 배열 변화를 통해 에미터에서 방출된 전자들이 다른 화소의 형광막에 도달하지 않도록 하여 표시소자의 색순도를 향상시킬 수 있는 전계 방출 표시소자를 제공하는데 있다.

#### 발명의 구성 및 작용

상기의 목적을 달성하기 위하여 본 발명은,

후면 기판 위에 제1 방향을 따라 라인 패턴으로 형성되는 게이트 전극과, 게이트 전극들을 덮는 절연층과, 절연층 위에 제1 방향과 수직인 제2 방향을 따라 라인 패턴으로 형성되는 캐소드 전극과, 게이트 전극과 캐소드 전극이 교차하는 각자의 화소 영역에 대하여 캐소드 전극의 가장자리에 위치하는 면 전자원을 포함하며, 상기 면 전자원이 제1, 2 방향 중 어느 한 방향을 따라 이웃하게 배치되는 다른 화소의 면 전자원에 대하여 제1, 2 방향 중 다른 한 방향을 따라 소정의 간격을 갖도록 배열되는 전계 방출 표시소자를 제공한다.

이하, 첨부한 도면을 참고하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하면 다음과 같다.

도 1은 본 발명의 제1 실시예에 따른 전계 방출 표시소자의 분해 사시도이고, 도 2는 도 1에 도시한 후면 기판의 평면도이며, 도 3A와 도 3B는 각각 도 2의 I-I선 및 II-II선의 단면도로서, 도 3A와 도 3B에 전면 기판을 함께 도시하였다.

도시한 바와 같이 전계 방출 표시소자는 내부 공간을 갖도록 소정의 간격을 두고 대향 배치되는 전, 후면 기판(2, 4)을 포함하며, 후면 기판(4)에는 전계 형성으로 전자를 방출하는 구성이, 그리고 전면 기판(2)에는 전자에 의해 소정의 이미지를 구현하는 구성이 제공된다.

보다 구체적으로, 상기 후면 기판(4)에는 다수의 게이트 전극(6)이 제1 방향(도면의 Y축 방향)을 따라 라인 패턴으로 형성되고, 게이트 전극(6)들을 덮으면서 후면 기판(4) 전면으로 절연층(8)이 형성되며, 절연층(8) 위에 다수의 캐소드 전극(10)이 제1 방향과 수직인 제2 방향(도면의 X축 방향)을 따라 라인 패턴으로 형성되어 게이트 전극(6)과 수직으로 교차한다.

그리고 게이트 전극(6)과 캐소드 전극(10)의 교차 지점, 즉 각자의 화소 영역으로 캐소드 전극(10)의 일측 가장자리에 면 전자원, 즉 에미터(12)가 형성된다. 상기 에미터(12)는 카본 나노튜브(carbon nanotube), 흑연, 다이아몬드상 카본, C<sub>60</sub>(풀러렌) 등을 포함하는 저 일함수 탄소계 물질로 이루어지며, 페이스트 상의 탄소계 물질을 캐소드 전극(10) 위에 후막 인쇄하여 에미터(12)를 형성할 수 있다.

본 실시예에서 상기 에미터(12)는 캐소드 전극(10) 라인을 따라 일렬로 배열하지 않고, 에미터(12)에서 방출되는 전자빔 궤적을 고려하여 타색 침범이 일어나지 않도록, 캐소드 전극 라인(도면의 X축)을 따라 이웃하게 배치되는 다른

화소의 에미터에 대하여 게이트 전극 라인(도면의 Y축)을 따라 소정의 간격(A)을 갖도록 배열된다.

다시 말해, 상기 에미터(12)는 에미터(12)로부터 대략 삼각 형상으로 발산되는 전자빔 궤적을 고려하여, 바람직하게 캐소드 전극 라인(도면의 X축)을 따라 홀수번째 에미터(12A)와 짝수번째 에미터(12B)가 다른 선상에 위치하는 이른바 지그 제그 패턴으로 배열되며, 이로서 각 에미터(12)에서 방출되는 전자빔의 궤적은 표시소자 내부에서 상호 겹쳐짐 없이 독립적으로 진행하게 된다.

이 때, 전술한 에미터(12) 배열을 위해 상기 캐소드 전극(10)은 바람직하게 연결 전극(14)에 의해 일단이 연결되어 동일 전압을 유지하는 제1, 2 서브 전극(16, 18)으로 구성되고, 서로 대향하는 제1, 2 서브 전극(16, 18)의 일측 가장자리에 캐소드 전극 라인(도면의 X축)을 따라 상기 에미터(12)를 지그제그 패턴으로 배열한다.

즉, 본 실시예에서 홀수번째 에미터(12A)는 캐소드 전극(10)의 제1 서브 전극(16) 위에 배열되고, 짝수번째 에미터(12B)는 제2 서브 전극(18) 위에 배열되어 홀수번째 에미터(12A)와 짝수번째 에미터(12B)가 도면의 Y축 방향을 따라 소정의 간격(A)을 가지며, 모든 캐소드 전극(10)에 대해 홀수번째 에미터(12A)와 짝수번째 에미터(12B)가 각각 제1, 2 서브 전극(16, 18) 위에 배열하여 모든 캐소드 전극(10)에 대해 동일한 에미터 배열을 나타낸다.

한편, 후면 기판(4)에 대향하는 전면 기판(2)의 일면에는 투명한 애노드 전극(20)과, 전자에 의해 여기되어 가시광을 방출하는 다수의 R(적), G(녹), B(청) 형광막(22)이 위치하며, 상기 형광막(22)은 일례로 게이트 전극 라인(도면의 Y축)을 따라 같은색의 형광막이 일렬로 배열된 구성(종래 기술의 도 17 참고)으로 이루어진다. 그리고 전, 후면 기판(2, 4)은 내부를 진공 상태로 유지하면서 다수의 스페이서(24)에 의해 일정한 셀 갭을 유지한다.

상기한 구성에 따라, 게이트 전극(6)과 캐소드 전극(10) 사이에 소정의 직류 또는 교류 전압을 인가하고, 애노드 전극(20)에 전자 가속에 필요한 고전압(대략 1~5kV)을 인가하면, 게이트 전극(6)과 캐소드 전극(10)의 전압 차에 의해 에미터(12) 주변에 전계가 형성되어 에미터(12)로부터 전자가 방출되고, 방출된 전자는 애노드 전압에 의해 형광막(22)에 도달하여 형광막(22)을 발광시킨다.

이 때, 본 실시예는 캐소드 전극(10)의 제1, 2 서브 전극(16, 18)을 따라 에미터(12)들을 지그제그 패턴으로 배열함에 따라, 각자의 에미터(12)에서 대략 삼각 형상으로 발산하는 전자빔들은 전술한 에미터(12) 배열에 의해 이웃한 화소의 에미터에서 방출된 전자빔들과 상호 겹쳐짐 없이 해당 형광막(22)을 향해 표시소자 내부를 진행하게 된다.

따라서 본 실시예는 에미터(12)에서 방출된 전자빔들의 궤적을 인위적으로 변경시키지 않고도 전술한 에미터(12) 배열에 의해 전자빔의 타색 침범을 효과적으로 방지하여 표시소자의 색순도를 향상시킨다.

한편, 본 발명에 의한 전계 방출 표시소자는 제2 실시예로서 도 4와 도 5에 도시한 바와 같이, 앞선 실시예의 구성에 더하여 캐소드 전극(10)의 제1, 2 서브 전극(16, 18) 사이에 게이트 전극(6)과 전기적으로 연결되는 다수의 카운터 전극(26)을 형성한 구성을 제공한다.

즉, 본 실시예는 게이트 전극(6)과 교차하는 제1, 2 서브 전극(16, 18) 사이의 화소 영역에 절연층(8)을 관통하는 관통홀(8a)과, 이 관통홀(8a) 내부에 위치하는 카운터 전극(26)을 형성하여, 상기 카운터 전극(26)이 게이트 전극(6)과의 접촉에 의해 게이트 전극(6)과 전압을 공유하도록 한다.

이로서 상기 카운터 전극(26)은 게이트 전극(6)에 소정의 구동 전압이 인가되어 에미터(12) 주변에 전자 방출을 위한 전계를 형성할 때, 카운터 전극(26) 자신도 에미터(12)를 향해 전계를 추가로 형성하여 전계 방출 표시소자의 구동 전압을 낮추는 역할을 한다. 이러한 카운터 전극(26)은 대략 장방형으로 이루어지며, 장방형 이외의 다른 패턴으로도 형성 가능하다.

도 6은 본 발명의 제3 실시예에 따른 전계 방출 표시소자 중 후면 기판의 평면도로서, 본 실시예에서 제1 캐소드 전극(10A)은 자신의 제1, 2 서브 전극(16, 18) 위에 각각 홀수번째 에미터(12A)와 짝수번째 에미터(12B)를 교대로 배열하는 것과 더불어, 제1 캐소드 전극(10A)에 이웃한 제2 캐소드 전극(10B)은 자신의 제2, 1 서브 전극(18, 16) 위에 각각 홀수번째 에미터(12A)와 짝수번째 에미터(12B)를 교대로 배열한다.

즉, 본 실시예에서 제1, 2 캐소드 전극(10A, 10B)의 에미터(12) 배열은 서로 반대 방향으로 이루어진다. 이로서 제1, 2 캐소드 전극(10A, 10B)의 짝수번째 에미터(12B)들은 서로에 대해 근거리로 배치되고, 제1, 2 캐소드 전극(10A, 10B)의 홀수번째 에미터(12A)들은 서로에 대해 원거리로 배치된다.

이와 같은 에미터(12) 배열은 전술한 제1, 2 실시예의 구성에서 전자빔의 발산이 최대가 되는 지점(도 2에서 원으로 표시)에서 전자빔이 교차하여 이웃한 화소의 타색 형광막에 도달할 가능성을 막기 위한 것이며, 본 실시예는 전자빔의 발산이 최대가 되는 지점(도 6에서 원으로 표시)에 같은 색상의 형광막이 위치하여 타색 침범을 보다 효율적으로

차단하게 된다.

또한, 본 발명에 의한 전계 방출 표시소자는 제4 실시예로서 도 7에 도시한 바와 같이, 앞선 제3 실시예의 구성에 더하여 캐소드 전극(10)의 제1, 2 서브 전극(16, 18) 사이에 다수의 카운터 전극(26)을 형성하여 표시소자의 저전압 구동을 가능하게 한다.

이와 같이 전자빔의 타색 침범을 방지하기 위해 에미터(12) 배열의 변화를 모색한 본 발명은, 전술한 에미터(12) 배열에 대응하여 형광막(22) 패턴과 스페이서(24)의 형상을 함께 변경하는 것이 바람직하다.

도 8은 본 발명의 제1, 2 실시예 구성에 대응하는 형광막 패턴을 나타낸 개략도이고, 도 9A와 도 9B는 본 발명의 제1, 2 실시예 구성에 적용 가능한 스페이서(이하, 편의상 '제1 스페이서'라 한다)의 형상을 나타낸 개략도로서, 각자의 R(적), G(녹), B(청) 형광막(22)들은 해당 에미터(12)에 대응하는 지점을 꼭지점으로 하고, 전자빔의 발산 경로를 따라 상기 꼭지점에서 확장되는 대략 삼각 형상으로 이루어진다.

일례로 R, G, B 형광막(22)들이 도면의 X축 방향을 따라 연속 배열되는 경우, 홀수번째 형광막(22A)은 삼각 형상으로, 짝수번째 형광막(22B)은 역삼각 형상으로 이루어지며, 모든 형광막(22)들은 동일한 패턴으로 도면의 Y축 방향을 따라 일렬로 배열된다. 그리고 각자의 형광막(22) 사이에는 블랙 매트릭스막(28)이 형성되어 화면의 대비비(contrast ratio)를 향상시킨다.

이로서 도 9A에 도시한 제1 스페이서(24A)는 형광막(22)의 두변을 둘러싸도록 소정의 사이각을 갖는 제1, 2 직선부(30a, 30b)로 이루어지며, 일례로 형광막(22)이 정삼각 형상인 경우, 제1, 2 직선부(30a, 30b)는 대략 60°의 사이각( $\theta$ )을 갖는다.

또한 도 9B에 도시한 제1 스페이서(24A')는 형광막(22)의 두변을 둘러싸는 제1, 2 직선부(30a, 30b)와 더불어 다른 한 형광막(22)의 한 변에 평행하게 위치하는 제3 직선부(30c)를 구비하여 대략 'π' 모양의 단면 형상을 갖는다.

도 10은 본 발명의 제3, 4 실시예 구성에 대응하는 형광막 패턴을 나타낸 개략도이고, 도 11A와 도 11B는 각각 본 발명의 제3, 4 실시예 구성에 적용 가능한 스페이서(이하, 편의상 '제2 스페이서'라 한다)의 형상을 나타낸 개략도로서, R, G, B 형광막(22)들이 도면의 X축 방향을 따라 삼각 형상과 역삼각 형상을 반복하며 교대로 배열되고, 도면의 Y축 방향을 따라 동일 색상의 형광막(22)들이 삼각 형상과 역삼각 형상을 반복하여 배열된다.

이 경우, 상기 형광막(22)들은 평면적으로 120°의 회전 대칭성을 갖기 때문에, 제2 스페이서(24B)에 회전 대칭성을 부여할 수 있으므로, 제2 스페이서(24B)의 지지 강도를 강화시킬 수 있다.

일례로 상기 형광막(22)들이 정삼각 형상인 경우, 도 11A에 도시한 제2 스페이서(24B)는 6개 형광막(22)의 꼭지점이 모인 중앙점(C)을 기준으로 대략 120°의 사이각( $\theta$ )을 갖는 제1, 2, 3 직선부(32a, 32b, 32c)로 구성되며, 도 11B에 도시한 제2 스페이서(24B')는 상기 중앙점(C)을 기준으로 대략 60°의 사이각( $\theta$ )을 갖는 6개의 직선부(32a~32f)로 이루어진다.

한편, 본 발명에 의한 전계 방출 표시소자는 전술한 바와 같이 캐소드 전극(10)을 제1, 2 서브 전극(16, 18)으로 분할하고, 제1, 2 서브 전극(16, 18)의 가장자리에 에미터(12)를 형성하는 것 이외에, 캐소드 전극(10) 내부에 관통부를 형성하고, 이 관통부에 대향하는 캐소드 전극(10)의 내부 가장자리에 에미터(12)를 배열하는 구성도 가능하다.

도 12는 본 발명의 제5 실시예에 따른 전계 방출 표시소자 중 후면 기관의 평면도로서, 본 실시예에서 게이트 전극(6)은 도면의 X축 방향을 따라 라인 패턴으로 형성되고, 캐소드 전극(10)이 도면의 Y축 방향을 따라 라인 패턴으로 형성되어 게이트 전극(6)과 수직으로 교차한다.

그리고 각자의 화소 영역에 대응하는 캐소드 전극(10) 내부에는 캐소드 전극(10)을 구성하는 도전 물질을 배제하여 절연층(8)을 노출시킨 관통부(34)가 형성되고, 이 관통부(34)에 대향하는 캐소드 전극(10)의 내부 가장자리에 에미터(12)가 형성된다. 특히 상기 에미터(12)는 게이트 전극 라인(도면의 X축)을 따라 이웃하게 배치되는 다른 화소의 에미터에 대하여, 캐소드 전극 라인(도면의 Y축)을 따라 소정의 간격(A')을 갖도록 형성된다.

즉, 상기 관통부(34)가 대략 장방형으로 이루어져 게이트 전극 라인(도면의 X축)을 따라 제1, 2 직선부(34a, 34b)를 구비할 때, 홀수번째 에미터(12A)들은 관통부(34)의 제1 직선부(34a)에 대향하는 캐소드 전극(10)의 내부 가장자리에 위치하고, 짝수번째 에미터(12B)들은 관통부(34)의 제2 직선부(34b)에 대향하는 캐소드 전극(10)의 내부 가장자리에 위치하여, 상기 에미터(12)들이 게이트 전극 라인(도면의 X축)을 따라 지그재그 패턴으로 배열한다.

이와 같이 캐소드 전극(10)에 제공되는 관통부(34)는 노출된 절연층(8)을 통해 게이트 전극(6)과 캐소드 전극(10)간 전압 차에 의한 전계가 에미터(12) 주위에 보다 용이하게 형성되도록 하여 구동 전압을 낮추는 역할을 한다. 이로써 게이트 전극(6)과 캐소드 전극(10) 사이에 소정의 직류 또는 교류 전압을 인가하면, 관통부(34)로 노출된 절연층(8)을 통해 에미터(12) 주변에 전계가 형성되어 에미터(12)로부터 전자가 방출된다.

본 실시예에서 상기 에미터(12)들은 모든 게이트 전극(6)에 대하여 홀수번째 에미터(12A)와 짝수번째 에미터(12B)가 각각 관통부(34)의 제1, 2 직선부(34a, 34b)에 대향하는 캐소드 전극(10)의 내부 가장자리에 형성되어 모든 게이트 전극(6)에 대해 동일한 에미터(12) 배열을 나타낸다.

그리고 본 발명에 의한 전계 방출 표시소자는 제6 실시예로서 도 13과 도 14에 도시한 바와 같이, 전술한 제5 실시예의 구성에 더하여 각자의 관통부(34) 내부에 절연층(8)을 관통하는 관통홀(8a)을 형성하고, 이 관통홀(8a) 내부에 도전 물질로 이루어진 카운터 전극(26)을 형성하여 카운터 전극(26)이 게이트 전극(6)과 전기적으로 연결되도록 한다.

상기 카운터 전극(26)의 기능은 전술한 것과 동일하며, 본 발명의 제5, 6 실시예 구성에 적합한 형광막(22) 패턴과 스페이서 형상은 도 8과 도 9A 및 도 9B에 도시한 바와 같이 전술한 제1, 2 실시예의 것과 동일하게 이루어진다.

한편, 본 발명에 의한 전계 방출 표시소자는 제7 실시예로서 도 15에 도시한 바와 같이, 제1 게이트 전극 라인(6A)을 따라 홀수번째 에미터(12A)와 짝수번째 에미터(12B)를 각각 관통부(34)의 제1, 2 직선부(34a, 34b)에 대향하는 캐소드 전극(10)의 내부 가장자리에 형성하는 것과 아울러, 제1 게이트 전극(6A)과 이웃한 제2 게이트 전극(6B) 라인을 따라 홀수번째 에미터(12A)와 짝수번째 에미터(12B)를 각각 관통부(34)의 제2, 1 직선부(34b, 34a)에 대향하는 캐소드 전극(10)의 내부 가장자리에 형성한다.

상기한 에미터(12) 배열은 전술한 제3 실시예와 동일하게 전자빔의 발산이 최대가 되는 지점에 같은 색상의 형광막을 위치시켜 타색 침범을 방지하기 위한 것으로서, 타색 침범을 효율적으로 방지한다. 또한, 본 발명의 제8 실시예에 의한 전계 방출 표시소자는 상기 제7 실시예의 구성에 더하여 도 16에 도시한 바와 같이 캐소드 전극(10)의 관통부(34) 내부에 카운터 전극(26)을 형성한 구성으로 이루어진다.

상기 제7, 8 실시예의 구성에 적합한 형광막 패턴과 스페이서 형상은 도 10과 도 11A 및 도 11B에 도시한 바와 같이, 전술한 제3, 4 실시예의 것과 동일하게 이루어진다.

상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

#### 발명의 효과

이와 같이 본 발명에 따르면, 전자빔 집속을 위한 별도의 전극을 구비하지 않고도 에미터 배열을 변화시키는 것에 의해 전자빔 발산에 의한 타색 침범을 억제하여 표시소자의 색순도를 향상시킨다. 그리고 해당 형광막에 대한 전자빔의 유효 충전율(filling ratio)을 높여 화면의 휘도를 향상시킨다.

#### (57) 청구의 범위

##### 청구항 1.

소정의 간격을 두고 대향 배치되는 전, 후면 기판;

상기 전면 기판에 대향하는 후면 기판의 일면에 제1 방향을 따라 라인 패턴으로 형성되는 게이트 전극과;

상기 게이트 전극들을 덮으면서 후면 기판의 전면에 형성되는 절연층과;

상기 절연층 위에 상기 제1 방향과 수직으로 교차하는 제2 방향을 따라 라인 패턴으로 형성되는 캐소드 전극과;

상기 게이트 전극과 캐소드 전극이 교차하는 각자의 화소 영역에 대하여 상기 캐소드 전극의 가장자리에 위치하는 면 전자원과;

상기 후면 기판에 대향하는 전면 기판의 일면에 형성되는 애노드 전극; 및



상기 애노드 전극의 표면에 위치하는 형광막을 포함하며,

상기 면 전자원이 상기 제1, 2 방향 중 어느 한 방향을 따라 이웃하게 배치되는 다른 화소의 면 전자원에 대하여 상기 제1, 2 방향 중 다른 한 방향을 따라 소정의 간격을 갖는 전계 방출 표시소자.

#### 청구항 2.

제 1항에 있어서,

상기 면 전자원이 카본 나노튜브(carbon nanotube), 흑연, 다이아몬드상 카본 및 C<sub>60</sub> (풀러렌) 등을 포함하는 저 일함수 탄소계 물질로 이루어지는 전계 방출 표시소자.

#### 청구항 3.

제 1항에 있어서,

상기 면 전자원이 캐소드 전극 라인을 따라 짝수번째 면 전자원과 홀수번째 면 전자원이 소정의 간격을 두고 지그재그 패턴으로 배열되는 전계 방출 표시소자.

#### 청구항 4.

제 3항에 있어서,

상기 캐소드 전극이 소정의 간격을 두고 라인 패턴으로 배열되는 제1, 2 서브 전극과, 제1, 2 서브 전극을 전기적으로 연결하는 연결 전극으로 이루어지는 전계 방출 표시소자.

#### 청구항 5.

제 4항에 있어서,

상기 홀수번째 면 전자원이 제2 서브 전극에 대향하는 제1 서브 전극의 일측 가장자리에 배열되고, 상기 짝수번째 면 전자원이 제1 서브 전극에 대향하는 제2 서브 전극의 일측 가장자리에 배열되는 전계 방출 표시소자.

#### 청구항 6.

제 4항에 있어서,

상기 제1, 2 서브 전극 사이의 화소 영역에 절연층을 관통하는 관통홀과, 상기 관통홀 내부에 형성되어 게이트 전극과 전기적으로 연결되는 카운터 전극이 형성되는 전계 방출 표시소자.

#### 청구항 7.

제 4항에 있어서,

상기 캐소드 전극이 이웃하게 배치되는 제1, 2 캐소드 전극을 포함하며, 제1 캐소드 전극의 제1, 2 서브 전극에 각각 홀수번째 면 전자원과 짝수번째 면 전자원이 배열됨과 아울러, 제2 캐소드 전극의 제2, 1 서브 전극에 각각 홀수번째 면 전자원과 짝수번째 면 전자원이 배열되는 전계 방출 표시소자.

#### 청구항 8.

제 7항에 있어서,

상기 캐소드 전극의 제1, 2 서브 전극 사이에 절연층을 관통하는 관통홀과, 상기 관통홀 내부에 형성되어 게이트 전극과 전기적으로 연결되는 카운터 전극이 형성되는 전계 방출 표시소자.

#### 청구항 9.

제 1항에 있어서,

상기 면 전자원이 게이트 전극 라인을 따라 캐소드 전극의 가장자리에 홀수번째 면 전자원과 짝수번째 면 전자원이 소정의 간격을 두고 지그재그 패턴으로 배열되는 전계 방출 표시소자.

#### 청구항 10.

제 9항에 있어서,

상기 캐소드 전극 내부에 절연층을 노출시키는 관통부가 형성되고, 상기 관통부에 대향하는 캐소드 전극의 내부 가장자리에 면 전자원이 위치하는 전계 방출 표시소자.

#### 청구항 11.

제 10항에 있어서,

상기 관통부가 게이트 전극과 평행한 제1, 2 직선부를 구비하고, 상기 홀수번째 면 전자원과 짝수번째 면 전자원이 각각 관통부의 제1, 2 직선부에 대향하는 캐소드 전극의 내부 가장자리에 위치하는 전계 방출 표시소자.

#### 청구항 12.

제 11항에 있어서,

상기 관통부 내부에 절연층을 관통하는 관통홀과, 관통홀 내부에 형성되어 게이트 전극과 전기적으로 연결되는 카운터 전극이 형성되는 전계 방출 표시소자.

#### 청구항 13.

제 10항에 있어서,

상기 관통부가 게이트 전극과 평행한 제1, 2 직선부를 구비하고, 어느 한 게이트 전극 라인을 따라 홀수번째 면 전자원과 짝수번째 면 전자원이 각각 관통부의 제1, 2 직선부에 대향 배치됨과 아울러, 상기 게이트 전극과 이웃한 다른 하나의 게이트 전극 라인을 따라 홀수번째 면 전자원과 짝수번째 면 전자원이 각각 관통부의 제2, 1 직선부에 대향 배치되는 전계 방출 표시소자.

#### 청구항 14.

제 13항에 있어서,

상기 관통부 내부에 절연층을 관통하는 관통홀과, 관통홀 내부에 형성되어 게이트 전극과 전기적으로 연결되는 카운터 전극이 형성되는 전계 방출 표시소자.

#### 청구항 15.

제 1항에 있어서,

상기 형광막이 R(적), G(녹), B(청) 형광막을 포함하며, 각자의 R, G, B 형광막이 해당 면 전자원에 대응하는 지점을 꼭지점으로 하고, 전자빔 궤적을 따라 상기 꼭지점에서 확장되는 삼각 형상으로 이루어지는 전계 방출 표시소자.

#### 청구항 16.

제 15항에 있어서,

상기 형광막이 상기 제1, 2 방향 중 어느 한 방향을 따라 삼각 형상과 역삼각 형상으로 반복 배열되는 전계 방출 표시소자.

#### 청구항 17.

제 15항에 있어서,

상기 형광막이 상기 제1, 2 방향 중 어느 한 방향을 따라 삼각 형상과 역삼각 형상으로 반복 배열됨과 아울러, 상기 제1, 2 방향 중 다른 한 방향을 따라 삼각 형상과 역삼각 형상으로 반복 배열되는 전계 방출 표시소자.

#### 청구항 18.

제 15항에 있어서,

상기 전, 후면 기판 사이에 어느 한 형광막의 두변을 둘러싸는 제1, 2 직선부를 갖는 스페이서가 위치하는 전계 방출 표시소자.

#### 청구항 19.

제 18항에 있어서,

상기 스페이서가 상기 제1, 2 직선부와 더불어 다른 한 형광막의 한 번에 평행하게 위치하는 제3 직선부를 포함하는 전계 방출 표시소자.

#### 청구항 20.

제 15항에 있어서,

상기 전, 후면 기판 사이에 스페이서가 위치하며, 상기 스페이서가 6개 형광막의 꼭지점이 모인 중앙점을 기준으로 회전 대칭성을 갖는 3개의 직선부를 포함하는 전계 방출 표시소자.

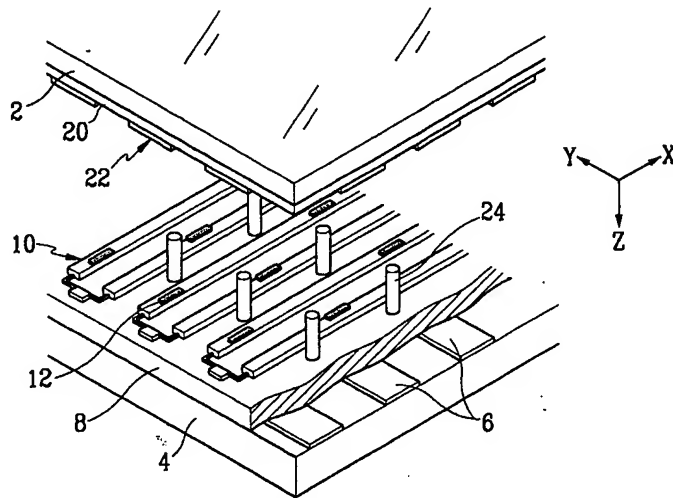
#### 청구항 21.

제 20항에 있어서,

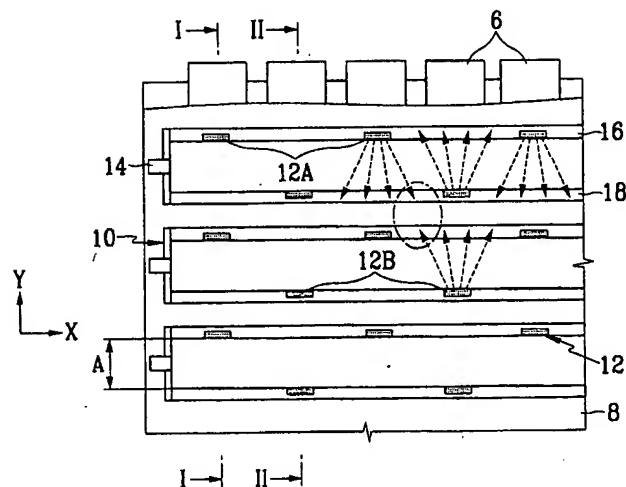
상기 스페이서가 상기 중앙점을 기준으로 회전 대칭성을 갖는 6개의 직선부를 포함하는 전계 방출 표시소자.

도면

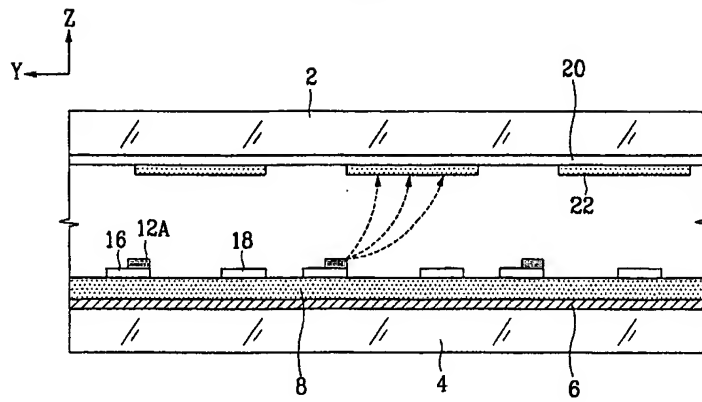
도면1



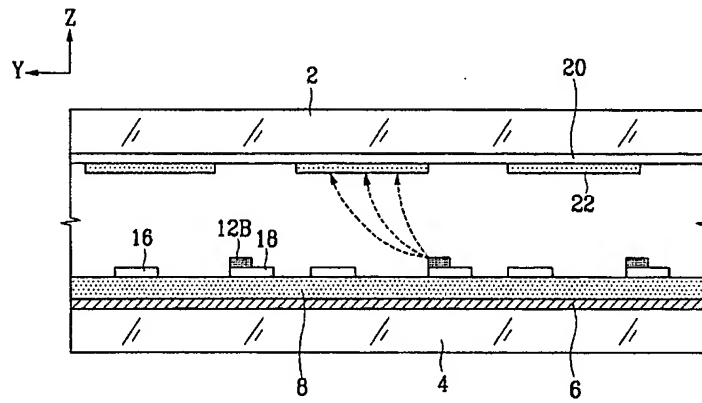
도면2



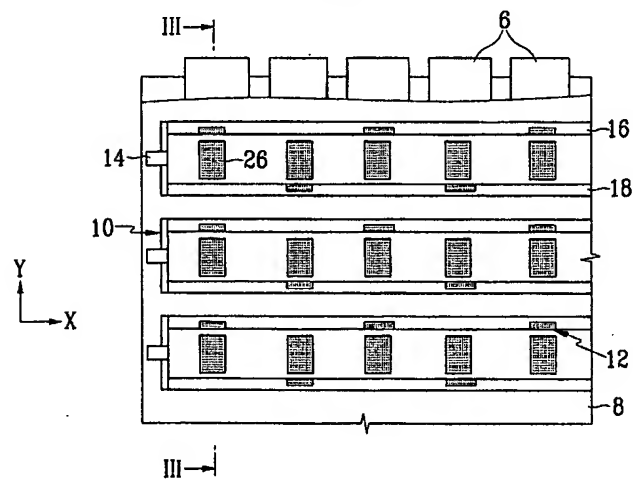
도면3a



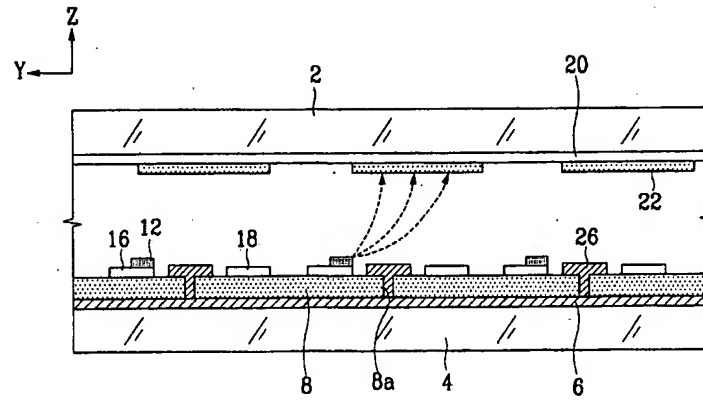
도면3b



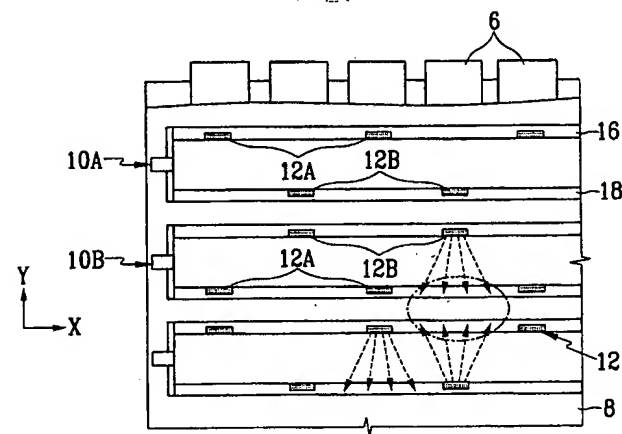
도면4



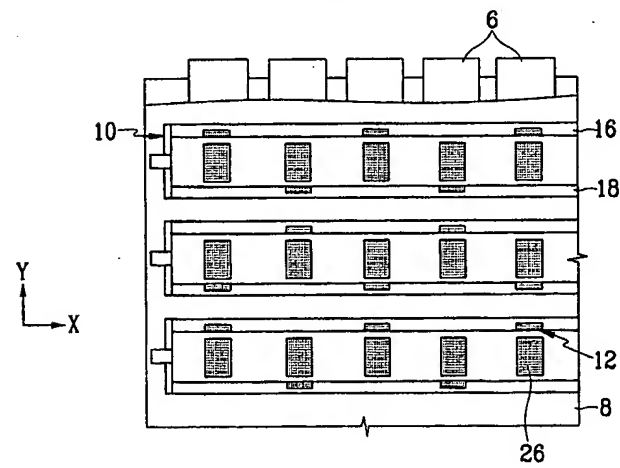
도면5



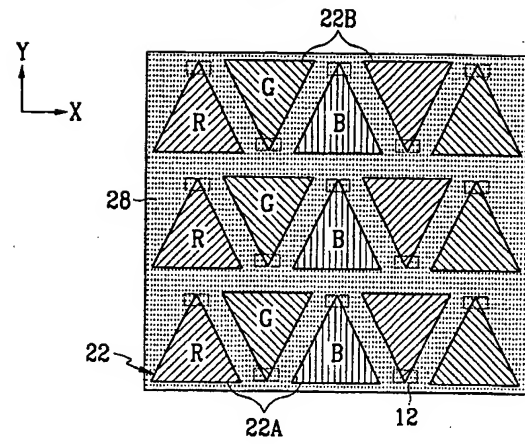
도면 6



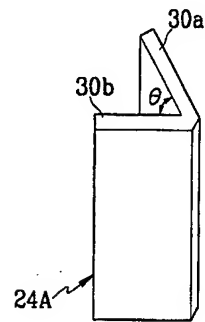
도면 7



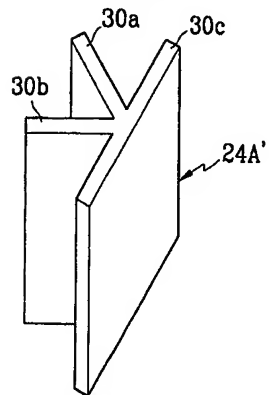
도면8



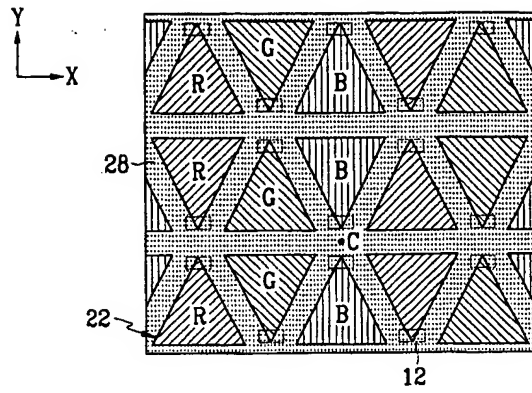
도면9a



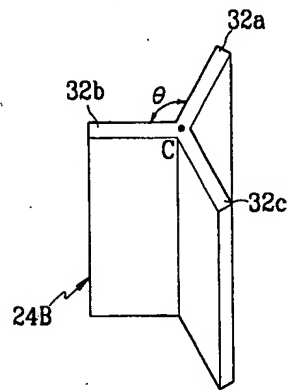
도면9b



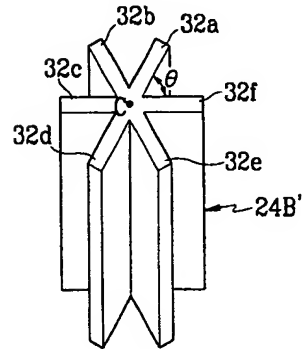
도면10

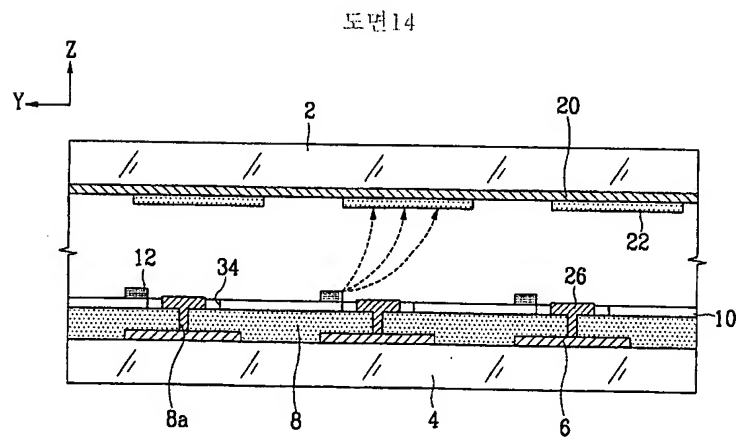
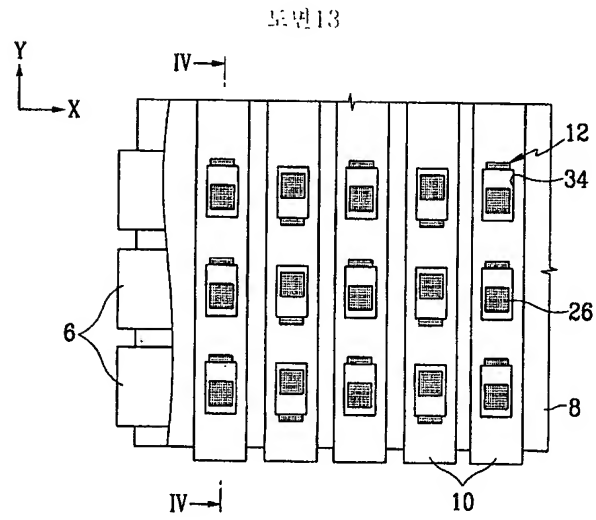
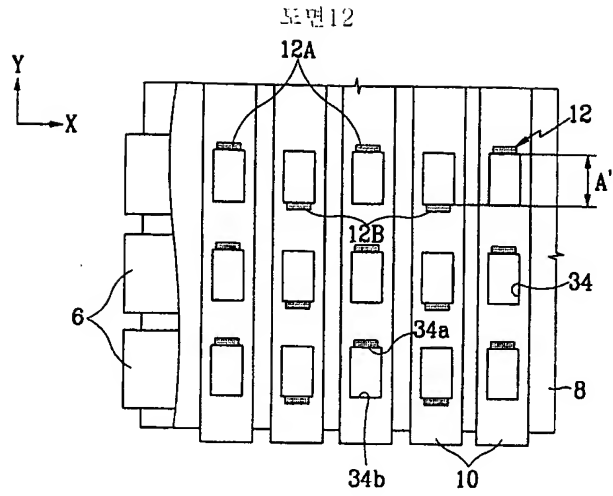


도면11a

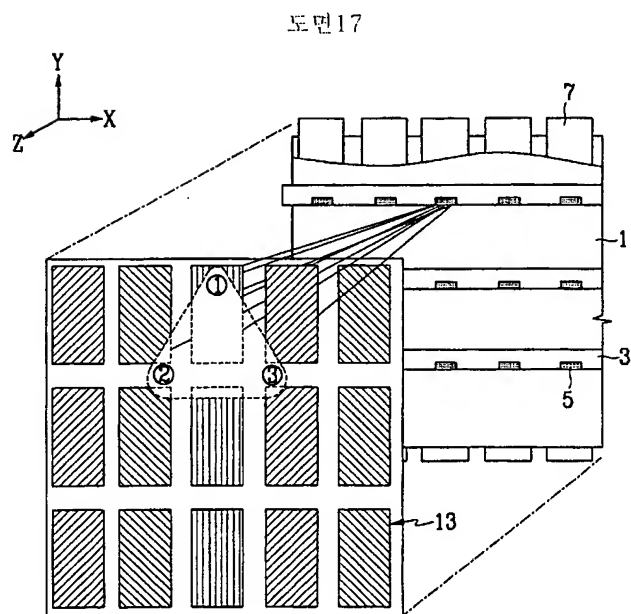
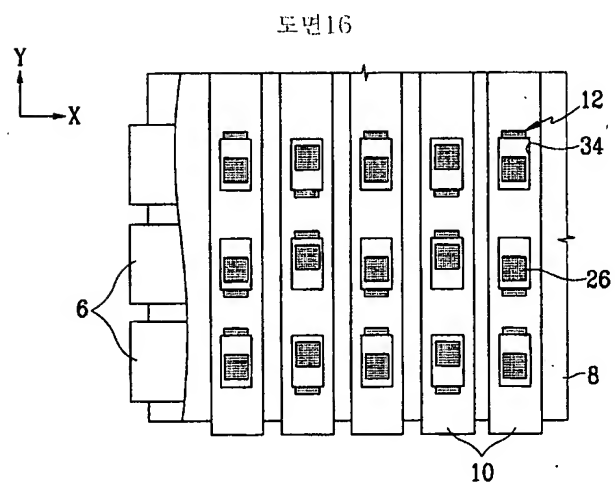
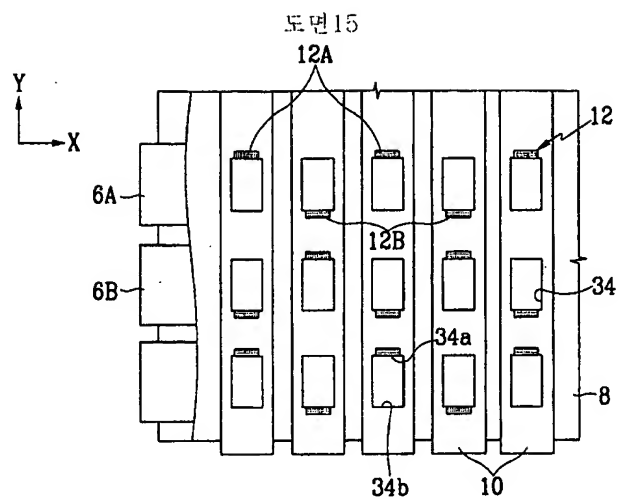


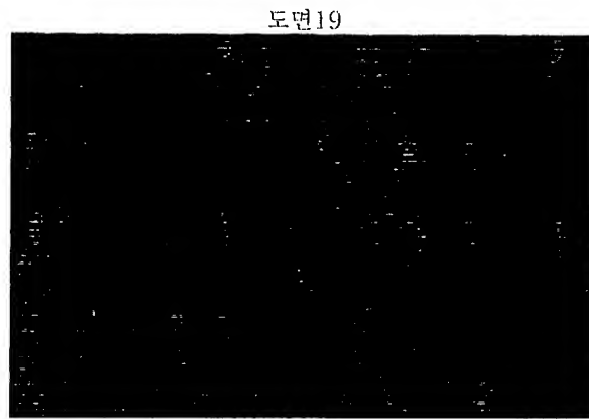
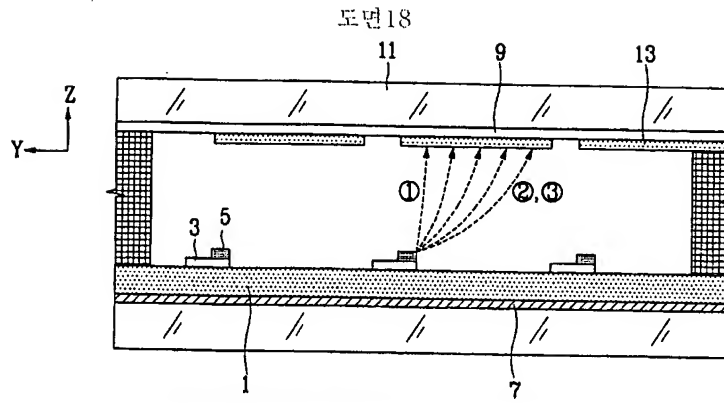
도면11b











**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**